


## MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP5226351  
Publication date: 1993-09-03  
Inventor(s): YAMAMURA KANJI  
Applicant(s):: SHARP CORP  
Requested Patent:  JP5226351  
Application Number: JP19920029136 19920217  
Priority Number(s):  
IPC Classification: H01L21/331 ; H01L29/73  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To obtain a high-frequency and high-speed vertical type PNP transistor by forming a flat low-doped collector area by suppressing the creeping-up of a buried collector layer to an epitaxial layer side by performing diffusion heat treatment, etc., after continuously performing ion implantation two or more times into the epitaxial layer with different acceleration energy.

**CONSTITUTION:** After a buried area 5 is formed on a semiconductor substrate 1 through a photolithographic process, an epitaxial layer 3 is formed on the entire surface of the substrate 1 and a resist 2c is formed on the layer 3 through its oxide film 4. Then an opening is formed by removing the resist 2c and film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and ions are continuously implanted into the opening two or more times with different acceleration energy and diffusion heat treatment is performed. For example, boron ions are implanted by changing the acceleration energy from 500KeV to 50KeV through 300KeV, 150KeV, and 100KeV.

---

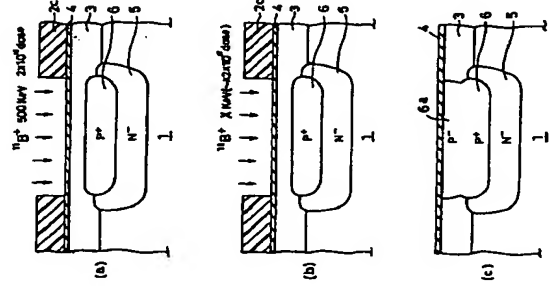
Data supplied from the esp@cenet database - I2

(51)Int.Cl. <sup>4</sup>	機別記号	庁内整理番号	F I	技術表示箇所
H 01 L 21/331 29/73		7377-4M	H 01 L 29/ 72	
審査請求 未請求 請求項の枚数(全 4 頁)				

(21)出願番号 特開平4-29136	(71)出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町2番22号
(22)出願日 平成4年(1992)2月17日	(72)発明者 山村 賢司 大阪府大阪市阿倍野区長池町2番22号シナ ーブ株式会社内
	(74)代理人 弁護士 西田 新

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】  
【目的】 埋込みコレクタ層のエピタキシャル層側への  
速い上がりを含め、かつフラットな低濃度コレクタ領域  
を形成することができ、高周波かつ高濃度型のPNPT  
ランジスタを実現する製造方法を提供する。  
【構成】 低コレクタ層を形成すべきエピタキシャル層  
上方の開閉部に異なる加速エネルギーで2回以上連続して  
イオン注入を行った後、拡散熱処理を行う工程を有す  
る。



【特許請求の範囲】

【請求項1】 半導体基板上に、フォトリソングラフアイエ  
程により埋込み領域を形成した後、その基板上全面にエ  
ピタキシャル層を形成し、その後そのエピタキシャル層  
上に酸化膜を介してレジストを形成した後、低コレクタ  
層を形成すべきエピタキシャル層上方の上記レジストお  
よび酸化膜を除去することにより開口部を設け、その  
後、その開口部に異なる加速エネルギーで2回以上連続し  
てイオン注入を行った後、拡散熱処理を行う工程を有す  
る半導体装置の製造方法。

【発明の詳細な説明】

【0001】  
【産業上の利用分野】 本発明は半導体装置の製造方法に  
関し、更に詳しくはバイポーラIC、載置PNPトラン  
ジスタに関する。

【0002】

【従来の技術】 図4および図5に、従来技術における一  
般的な埋置PNPトランジスタのコレクタ部の製造方法  
を示す。

【0003】 まず、P型シリコン基板10上にレジスト  
11aを形成し、底面分離層12形成のためのフォ  
トリソングラフアイエ程により、31P+ のイオン注入を行う  
(図4(a))。

【0004】 次に、拡散熱処理後、底面分離層12  
上に埋込みコレクタ領域形成のためのフォトリソングラ  
フアイエ程により、高濃度(〜×10<sup>14</sup>cm<sup>-2</sup>)の11B+ のイ  
オン注入を行う(図4(b))。

【0005】 次に、エピタキシャル成長を行い、P型シ  
リコン基板10上にエピタキシャル層13を形成する。  
また、NPNTランジスタ部の分離用のP+領域14を  
形成する(図4(c))。

【0006】 続いて、コレクタ領域14a形成のための  
フォトリソングラフアイエ程により、低濃度(〜×10<sup>12</sup>cm<sup>-2</sup>)  
の11B+ のイオン注入を行う(図5(a))。その  
後、1000℃で3時間〜5時間程度の拡散熱処理を行  
い、低濃度コレクタ領域14aを形成する(図5  
(b))。

【0007】 この時のコレクタ領域14aの不純物濃度プ  
ロファイルを図6に示す。この図に示すように、エピタ  
キシャル層13の不純物濃度は、所定の拡散層の深さま  
で減少し、低コレクタ層における拡散濃度は一定ではな  
い。

【0008】

【発明が解決しようとする課題】 ところで、従来の技術  
では、埋置PNPトランジスタを実現させるために、低  
濃度のコレクタ領域が必要であるが、そのコレクタ領域  
形成はエピタキシャル成長後、フォトリソングラフアイ  
エ程により、異なる加速エネルギーで2回以上連続して  
イオン注入、長時間にわたる拡散熱処理により形成されて  
いた。

【0009】 ところが、この長時間拡散熱処理により、高

濃度埋込みコレクタ層のエピタキシャル層側への、速い  
上がりによる面圧の低下が問題となっており、このた  
め、エピタキシャル層を十分厚くする必要があった。し  
かし、一方高周波かつ高濃度型のPNPトランジスタを  
実現するための要因として、エピタキシャル層を薄く化  
しなければならず、その実現には困難を伴っていた。  
【0010】 本発明はこれらの点に鑑みてなされたもので  
あり、埋込みコレクタ層のエピタキシャル層側への速  
い上がりを含め、かつフラットな低濃度コレクタ領域を  
形成することができ、高周波かつ高濃度型のPNPト  
ランジスタを実現する製造方法を提供することを目的とす  
る。

【0011】

【課題を解決するための手段】 上記の目的を達成するた  
めに、本発明の半導体装置の製造方法は、半導体基板上  
に、フォトリソングラフアイエ程により埋込み領域を形成し  
た後、その基板上全面にエピタキシャル層を形成し、そ  
の後そのエピタキシャル層上に酸化膜を介してレジスト  
を形成した後、低コレクタ層を形成すべきエピタキシャ  
ル層上方の上記レジストおよび酸化膜を除去することによ  
り開口部を設け、その後、その開口部に異なる加速エ  
ネルギーで2回以上連続してイオン注入を行った後、拡散  
熱処理を行う工程を有することによって特徴付けられ  
る。

【0012】

【作用】 本発明実施例に於いて、その作用を説明する図  
3に基づいて説明する。イオンの拡散の深さは、イオン  
の加速エネルギーが大きくなるにつれて大きくなる。した  
がって、加速エネルギーを500KeV、300KeV、  
150KeV、100KeV、50KeVと変化させ、  
連続してイオン注入を行うと、それぞれの拡散分布は、  
(a)図に示すように、それぞれd1、d2、d3、d  
4、d5の濃度プロファイルとなる。さらに、この状態  
の基板に拡散熱処理を行うと、拡散深さに対する不純物  
濃度は一定となり、(b)図に示すように、低濃度コレ  
クタ領域のどの拡散深さにおいてもフラットな部分を有  
する濃度プロファイルとなる。

【0013】

【実施例】 図1乃至図2は本発明実施例を模式的に説明  
する図である。まず、P型シリコン基板1上にレジスト  
2aを形成し、底面分離層5形成のためのフォトリソ  
ングラフアイエ程により、31P+ のイオン注入を行う(図  
1(a))。

【0014】

次に、拡散熱処理後、底面分離層5上  
に埋込みコレクタ領域形成のためのフォトリソングラフ  
アイエ程により、高濃度(〜×10<sup>14</sup>cm<sup>-2</sup>)の11B+ のイ  
オン注入を行う(図1(b))。

【0015】

次に、エピタキシャル成長を行い、P型シ  
リコン基板1上にエピタキシャル層3を形成する。ま  
た、NPNTランジスタ部の分離用のP+領域6を形成

する【図1(c)】。

【0016】次に、エピタキシャル層3上に酸化膜4を形成した後、その酸化膜4上にレジスト2cを形成して、コレクタ領域形成のためのフォトリソグラフィ工程により、高エネルギー、低ドーズの1回目のボロンのイオン注入を行う。本実施例ではこの時の加速エネルギーは600KeV、ドーズ量は $2 \times 10^{12}$ dose程度で行う【図2(a)】。

【0017】続いて、ドーズ量は $2 \times 10^{12}$ doseとして変化させずに一定とし、加速エネルギーを変化させて2回目、3回目、4回目、5回目と連続してイオン注入を行う。この時のエネルギーはそれぞれ300KeV、150KeV、100KeV、50KeVと変化させてイオン注入を行う【図2(b)】。

【0018】その後、1000℃、30～60分の拡散熱処理を行い、低濃度コレクタ層6aを形成する。【図2(c)】。このように形成された低濃度コレクタ領域の不純物濃度のプロファイルを図3に示す。

【0019】ここで、(a)図は、上述した加速エネルギーのみを変化させて、5回のイオン注入を行った後のプロファイル、また、(b)図は、コレクタ領域形成のための拡散熱処理を行った後のプロファイルを示す。

【0020】すなわち、加速エネルギーを500KeV、300KeV、150KeV、100KeV、50KeVと変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、(a)図に示すように、それぞれd1、d2、d3、d4、d5の濃度プロファイルとなる。さらに、この状態の基板に拡散熱処理を行うと、拡散深さに対する不純物濃度は一定となり、(b)図に示すよう

に、低濃度コレクタ領域6aのどの拡散深さにおいてもフラットな濃度プロファイルとなる。

【0021】

【発明の効果】以上説明したように、本発明によれば、低コレクタ層を形成すべきエピタキシャル層上方の開口部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有するよう構成したから、短い熱処理時間で低コレクタ層をフラットに形成でき、したがって埋込みコレクタ層のエピタキシャル層側への食い上がりを抑制できる。その結果、エピタキシャル層の薄層化が可能となり、高周波かつ高速度型PNPトランジスタが実現できる。また、拡散熱処理は従来の比べ、著しく短縮でき有益である。

【図面の簡単な説明】

【図1】本発明実施例を随時的に説明する模式断面図

【図2】本発明実施例を随時的に説明する模式断面図

【図3】本発明実施例を説明する図

【図4】従来の例を随時的に説明する図

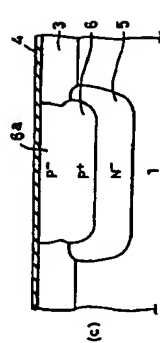
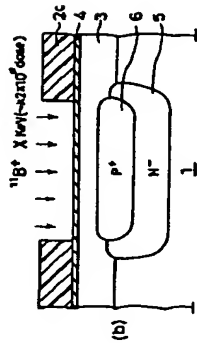
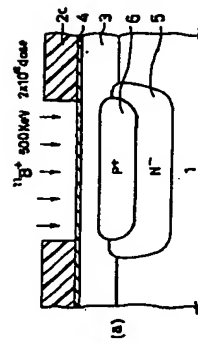
【図5】従来の例を随時的に説明する図

【図6】従来の例を説明する図

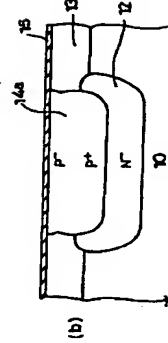
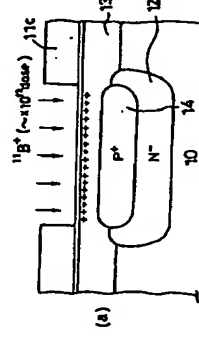
【符号の説明】

- 1・・・P型基板
- 2a, 2b, 2c・・・レジスト
- 3・・・エピタキシャル層
- 4・・・酸化膜
- 5・・・底面分離用領域
- 6・・・P+領域
- 6a・・・低濃度コレクタ層

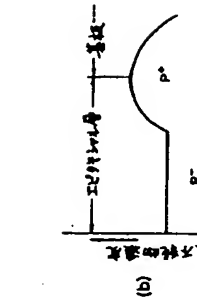
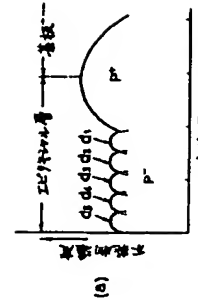
【図2】



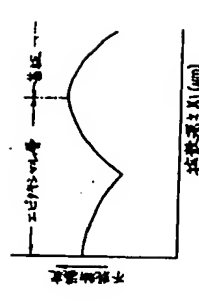
【図3】



【図3】



【図6】



【図1】

